

© EPDOC / EPO

PN - JP3243119 A 19911030
 PD - 1991-10-30
 PR - JP19900038057 19900219
 OPD - 1990-02-19
 TI - OR GATE
 AB - PURPOSE: To configure a low loss parallel operation power supply system having features similar to those of an OR gate comprising diodes by controlling ON/ OFF operation of a power MOSFET provided for each DC power supply based on the comparison results of a comparator comparing the DC source voltage and a load side source voltage. CONSTITUTION: When the input voltage of an OR gate is higher than the output voltage thereof, output voltage of a comparator 14 is equal to the terminal voltage of negative power supply for the comparator 14, gate potential of an MOSFET 12 is lower than the source potential and thereby the MOSFET 12 is turned ON. When the input voltage of the OR gate is lower than the output voltage thereof, gate potential of the MOSFET 12 is equal to the source potential and thereby the MOSFET 12 is turned OFF. Since voltage drop in the OR gate can be reduced, loss to be determined by the product of the voltage drop and current can be reduced.
 IN - OTSU SATOSHI; ISHII HISAO; SUZUKI NOBORU; KONNO YOSHIMI
 PA - NIPPON TELEGRAPH & TELEPHONE
 IC - H02J1/10; H03K19/08; H03K19/20

© WPI / DERWENT

TI - NOR circuit for separating failed DC source - uses power MOSFET in operative state with simple circuit to connect power MOS FET and comparator NoAbstract Dwg 1/5
 PR - JP19900038057 19900219
 PN - JP3243119 A 19911030 DW199150 000pp
 PA - (NITE) NIPPON TELEGRAPH & TELEPHONE CORP
 IC - H02J1/10 ;H03K19/08
 OPD - 1990-02-19
 AN - 1991-364309 [50]

© PAJ / JPO

PN - JP3243119 A 19911030
 PD - 1991-10-30
 AP - JP19900038057 19900219
 IN - OTSU SATOSHI; others: 03
 PA - NIPPON TELEGR & TELEPH CORP <NTT>
 TI - OR GATE
 AB - PURPOSE: To configure a low loss parallel operation power supply system having features similar to those of an OR gate comprising diodes by controlling ON/ OFF operation of a power MOSFET provided for each DC power supply based on the comparison results of a comparator comparing the DC source voltage and a load side source voltage.
 - CONSTITUTION: When the input voltage of an OR gate is higher than the output voltage thereof, output voltage of a comparator 14 is equal to the terminal voltage of negative power supply for the comparator 14, gate potential of an MOSFET 12 is lower than the source potential and thereby the MOSFET 12 is turned ON. When the input voltage of the OR gate is lower than the output voltage thereof, gate potential of the MOSFET 12 is equal to the source potential and thereby the MOSFET 12 is turned OFF. Since voltage drop in the OR gate can be reduced, loss to be determined by the product of the voltage drop and current can be reduced.
 I - H02J1/10 ;H03K19/08 ;H03K19/20

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑥ 公開特許公報(A) 平3-243119

⑦ Int. Cl.³

識別記号

庁内整理番号

⑧ 公開 平成3年(1991)10月30日

H 02 J 1/10
H 03 K 19/08
19/20

Z 7251-5G
8941-5J
7827-5J

審査請求 未請求 請求項の数 4 (全7頁)

④ 発明の名称 オア回路

⑪ 特 願 平2-38057

⑫ 出 願 平2(1990)2月19日

⑬ 発 明 者 大 津 智 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑬ 発 明 者 石 井 久 雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑬ 発 明 者 鈴 木 昇 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑬ 発 明 者 今 野 義 美 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑭ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑮ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

オア回路

2. 特許請求の範囲

(1) 複数の直流電源のそれぞれに対応するp型パワーMOSFETとコンパレータとを有し、

上記各p型パワーMOSFETのソース電極と上記各コンパレータの負入力端子と上記対応する直流電源の正電圧端子とを接続し、

上記各p型パワーMOSFETのドレイン電極と上記各コンパレータの正入力端子および正電源電極と一つの負荷の正電圧電極とを接続し、

上記各コンパレータの出力を対応する上記p型パワーMOSFETのゲート電極に接続し、

上記各直流電源の負電圧端子と上記各コンパレータの負電源電極と上記負荷の負電圧端子とを接続して成ることを特徴とするオア回路。

(2) 請求項1に記載のオア回路において、

各p型パワーMOSFETのソース電極とドレイン電極間にダイオードを順方向に接続したこと

を特徴とするオア回路。

(3) 複数の直流電源のそれぞれに対応するn型パワーMOSFETとコンパレータとを有し、

上記各n型パワーMOSFETのドレイン電極と上記各コンパレータの負入力端子と上記対応する直流電源の負電圧端子とを接続し、

上記各n型パワーMOSFETのソース電極と上記各コンパレータの正入力端子および負電源電極と一つの負荷の負電圧端子とを接続し、

上記各コンパレータの出力を対応する上記n型パワーMOSFETのゲート電極に接続し、

上記各直流電源の正電圧端子と上記各コンパレータの正電源電極と上記負荷の正電圧端子とを接続して成ることを特徴とするオア回路。

(4) 請求項3に記載のオア回路において、

各n型パワーMOSFETのソース電極とドレイン電極間にダイオードを順方向に接続したこと

3. 発明の詳細な説明

【産業上の利用分野】

本発明は複数の直流電源から一つの負荷に電力を供給する電源装置において、故障発生時等にその故障の直流電源の切り離しを可能にすることを目的としたオア回路に関するものである。

〔従来の技術〕

従来より、一つの負荷に対し並列に接続された複数の直流電源を並列運転して、その一つの負荷に電力を供給することが行われている。通常、直流電源を並列運転する場合には、他電源側からの逆流防止及び1台の直流電源の故障障害が電源システム停止となることを防ぐため、各直流電源の出力に一方向特性を有するオア(OA)回路が接続される。

第5図は、2台の直流電源から一つの負荷に電力を供給する場合に用いたオア(OA)回路の構成を示す回路図である。この従来例において、1は第1の直流電源、2は第2の直流電源、3は負荷、11は直流電源1から負荷3へ順方向に接続したダイオード、21は直流電源2から負荷3へ順方向に接続したダイオードである。このような

とを目的とする。

〔問題を解決するための手段〕

上記の目的を達成するための本発明のオア回路の一つの構成は、

複数の直流電源のそれぞれに対応するp型パワーMOSFETとコンパレータとを有し、上記各p型パワーMOSFETのソース電極と上記各コンパレータの負入力端子と上記対応する直流電源の正電圧端子とを接続し、上記各p型パワーMOSFETのドレイン電極と上記各コンパレータの正入力端子および正電源電極と一つの負荷の正電圧電極とを接続し、上記各コンパレータの出力を対応する上記p型パワーMOSFETのゲート電極に接続し、上記各直流電源の負電圧端子と上記各コンパレータの負電源電極と上記負荷の負電圧端子とを接続して成ることを特徴とする。

また、上記目的を達成するためのオア回路の他の構成は、

複数の直流電源のそれぞれに対応するn型パワーMOSFETとコンパレータとを有し、上記各

構成において、ダイオード11は直流電源1に他電源側から電力が流入するのを防止し、ダイオード21は直流電源2に他電源側から電力が流入するのを防止し、それぞれ一方の直流電源の故障時には負荷への電力供給のすべてを他の直流電源側にスイッチングするオア機能を實現している。このように、従来は、直流電源を並列運転する場合に用いる一方向特性を持つOR回路として、通常、ダイオードが用いられていた。

〔発明が解決しようとする課題〕

しかしながら、上記従来技術におけるオア回路では、そのオア回路を構成するダイオードに、常に負荷電流の一部又は全部が流れているため、ダイオードの順方向電圧降下とダイオードを流れる電流の積で決まる損失が発生し、電源システムの効率が低下する問題点があった。

本発明は、上記問題点を解決するために創案されたもので、ダイオードによるオア回路と同等の機能をもち、かつ低損失な並列運転電源システムの構成を可能にする簡易なオア回路を提供するこ

な型パワーMOSFETのドレイン電極と上記各コンパレータの負入力端子と上記対応する直流電源の負電圧端子とを接続し、上記各n型パワーMOSFETのソース電極と上記各コンパレータの正入力端子および負電源電極と一つの負荷の負電圧端子とを接続し、上記各コンパレータの出力を対応する上記n型パワーMOSFETのゲート電極に接続し、上記各直流電源の正電圧端子と上記各コンパレータの正電源電極と上記負荷の正電圧端子とを接続して成ることを特徴とする。

〔作用〕

本発明は並列運転直流電源システムにおいて、直流電源毎に設けたパワーMOSFETのオン/オフを、その直流電源側と負荷側の電圧とのコンパレータによる比較によって制御することにより、各直流電源への逆流を防止して故障の直流電源を切り離すオア機能を實現するとともに、パワーMOSFETのオン抵抗が従来のオア回路のダイオードより十分小さくできることを利用して、大幅な低損失化を實現する。

【実施例】

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は本発明の第1の実施例を示す回路図である。本実施例は、2台の直流電源を並列運転して、一つの負荷に電力を供給する直流電源システムに用いるOR（オア）回路の例を示している。1は第1の直流電源であり、2は第2の直流電源、3は負荷であって、本実施例では、この2台の直流電源1、2から一つの負荷3に電力を供給する。この場合に用いるOR回路は、それぞれの直流電源1、2に対応して設けたp型パワーMOSFET 12、13と、各MOSFET 12、13のオン/オフを制御するコンパレータ14、24で構成される。

上記OR回路における第1の直流電源1側の接続は、MOSFET 12のソース電極とコンパレータ14の負入力端子（-）と第1の直流電源1の正電圧端子（+）が接続され、MOSFET 12のドレイン電極とコンパレータ14の正電圧電

極と点線で示したMOSFETのボディダイオード13、16であって、13がMOSFET 12のソースドレイン電極間に順方向に生成されるボディダイオードであり、23がMOSFET 22のソースドレイン電極間に生成されるボディダイオードである。

以上のように構成した第1の実施例の動作および作用を述べる。

第1の直流電源1側のオア回路部分と第2の直流電源2側のオア回路部分とは、構成が同一であり、同様に動作するので、以下、第1の直流電源1側について説明する。まず、OR回路の出力（負荷3側）電圧に比べて、OR回路の入力（直流電源1側）電圧が高いと、ボディダイオード13が導通し、コンパレータ14の電圧端子に出力電圧が印加され動作を開始する。コンパレータ14の負入力端子（-）がOR回路の入力側（直流電源1側）に、コンパレータ14の正入力端子（+）がOR回路の出力側（負荷3側）に接続されているため、OR回路の入力電圧がOR回路の出力電

圧とコンパレータ14の正入力端子（+）と負荷3の正電圧端子（+）とが接続され、コンパレータ14の出力がMOSFET 12のゲート電極に接続され、コンパレータ14の負電圧電極と第1の直流電源1の負電圧端子（-）と負荷3の負電圧端子（-）とが接続されて成る。

同様に上記OR回路の第2の直流電源2側の接続は、MOSFET 22のソース電極とコンパレータ24の負入力端子（-）と第2の直流電源2の正電圧端子（+）が接続され、MOSFET 22のドレイン電極とコンパレータ24の正電圧電極とコンパレータ24の正入力端子（+）と負荷3の正電圧端子（+）とが接続され、コンパレータ24の出力がMOSFET 22のゲート電極に接続され、コンパレータ24の負電圧電極と第2の直流電源2の負電圧端子（-）と負荷3の負電圧端子（-）とが接続されて成る。

上記構成において、一般に、パワーMOSFETでは、その構造上、ソースドレイン電極間にダイオードが形成される。これが、第1図におい

てより高い場合、コンパレータ14の出力はコンパレータ14の負電圧端子の端子電圧となり、MOSFET 12のゲート電極電位はソース電位より低くなり、MOSFET 12はオンする。ボディダイオード13の順方向降下電圧に比べ、MOSFET 12のオン抵抗による電圧降下は低くてあるので、電流はMOSFET 12を流れ、OR回路における損失を低減することができる。OR回路の入力電圧がOR回路の出力電圧より低い場合、ボディダイオード13は非導通であり、コンパレータ14の出力はコンパレータの正電圧端子の端子となり、MOSFET 12のゲート電極電位はソース電位と同じになるため、MOSFET 12はオフする。上記におけるMOSFET 12はボディダイオード13が導通した後のスイッチ用として用いられるので、各電極間容量に関してはほとんど考慮する必要はなく、オン抵抗の低いp型パワーMOSFETを選択すればよい。

第2図は本発明の第2の実施例を示す回路図である。本実施例は、第1の実施例を基本として、

電力供給が障害発生時等に切り替わる際のスイッチングスピードを高速にする例である。第1の実施例では、p型パワーMOSFET 12、22のボディダイオード13、23を利用して、上記のスイッチングを行う構成としたが、本実施例では、第2図に示すように、第1図の構成のp型パワーMOSFET 12、22のそれぞれのソースドレイン電極間にスイッチング用のダイオード11、12を順方向に、即ち、ダイオード11、12のアノード電極をMOSFET 12、22のソース電極に、ダイオード11、12のカソード電極をMOSFET 12、22のドレイン電極に接続する。

以上の構成の第2の実施例のOR回路において、MOSFET 12、22のボディダイオード（図示省略）は、一般に、通常のダイオードよりスイッチングスピードが遅く、高速動作が望めない。そこで、本実施例では、高速スイッチングの可能なダイオード11、12を外付けすることにより、スイッチング動作の高速化を実現する。MOSF

ETとコンパレータ15の正入力端子（+）と負荷3の負電圧端子（-）が接続され、コンパレータ14の出力がMOSFET 15のゲート電極に接続され、コンパレータ14の正電源電極と第1の直流電源1の正電圧端子（+）と負荷3の正電圧端子（+）とが接続されて成る。

また、上記OR回路における第2の直流電源2側の接続は、MOSFET 25のドレイン電極とコンパレータ24の負入力端子（-）と第2の直流電源2の負電圧端子（-）が接続され、MOSFET 25のソース電極とコンパレータ24の負電源電極とコンパレータ24の正入力端子（+）と負荷3の負電圧端子（-）が接続され、コンパレータ24の出力がMOSFET 25のゲート電極に接続され、コンパレータ24の正電源電極と第2の直流電源2の正電圧端子（+）と負荷3の正電圧端子（+）とが接続されて成る。

このような第3の実施例は、第1の実施例のスイッチング素子をn型パワーMOSFETに置き換えて構成した例であり、本実施例も構造上、各

ET 11、12の動作は第1の実施例で述べた通りであり、本実施例においてもOR回路の低損失化が実現される。

第3図は本発明の第3の実施例を示す回路図である。本実施例も、2台の直流電源を並列運転して、一つの負荷に電力を供給する直流電源システムに用いるOR回路の例であり、オア機能の実現と低損失化を図るスイッチ素子としてn型パワーMOSFETを用いた場合の例である。1は第1の直流電源、2は第2の直流電源、3は負荷であり、この電源システムに用いるOR回路は、それぞれの直流電源1、2に対応して設けたn型パワーMOSFET 15、25と、各MOSFET 15、25のオン／オフを制御するコンパレータ14、24で構成される。

上記OR回路における第1の直流電源1側の接続は、MOSFET 15のドレイン電極とコンパレータ14の負入力端子（-）と第1の直流電源1の負電圧端子（-）が接続され、MOSFET 15のソース電極とコンパレータ15の負電源電

極とコンパレータ15の正入力端子（+）と負荷3の負電圧端子（-）が接続され、コンパレータ14の出力がMOSFET 15のゲート電極に接続され、コンパレータ14の正電源電極と第1の直流電源1の正電圧端子（+）と負荷3の正電圧端子（+）とが接続されて成る。

また、上記OR回路における第2の直流電源2側の接続は、MOSFET 25のドレイン電極とコンパレータ24の負入力端子（-）と第2の直流電源2の負電圧端子（-）が接続され、MOSFET 25のソース電極とコンパレータ24の負電源電極とコンパレータ24の正入力端子（+）と負荷3の負電圧端子（-）が接続され、コンパレータ24の出力がMOSFET 25のゲート電極に接続され、コンパレータ24の正電源電極と第2の直流電源2の正電圧端子（+）と負荷3の正電圧端子（+）とが接続されて成る。

第4図は、本発明の第4の実施例を示す回路図である。本実施例は、第3の実施例のスイッチングスピードを高速化する例であり、第2図の第2の実施例のスイッチング素子をn型パワーMOSFETに置き換えて構成した例である。本実施例では、第4図に示すように、第3図の第3の実施例の構成のn型パワーMOSFET 15、25の

それぞれのソース・ドレイン電極間に、スイッチングダイオード11、12を順方向に、即ち、ダイオード11、12のアノード電極をMOSFET15、25のソース電極に、ダイオード11、12のカソード電極をMOSFET15、25のドレイン電極に接続する。

このように構成することにより、第2の実施例と同様にして、MOSFET15、25のボディダイオード(図示省略)よりも高速にスイッチング可能な外付けのダイオード11、12によって、第3の実施例の作用効果に加え、スイッチングスピードの高速化を図ることができる。

なお、本発明は3台以上の並列運転の直流電源を入力とする場合にも、同様に適用することができる。このように、本発明はその主旨に沿って種々に応用され、種々の実施態様を取り得るものである。

【発明の効果】

以上の説明で明らかなように、本発明のオア回路によれば、パワーMOSFETとコンパレータ

を接続する簡易な回路で、かつパワーMOSFETのオン状態を使うことにより、その小さいオン抵抗を利用してオア回路における電圧降下を低減できるので、電圧降下と電流の積で決まる損失を低減できる利点がある。

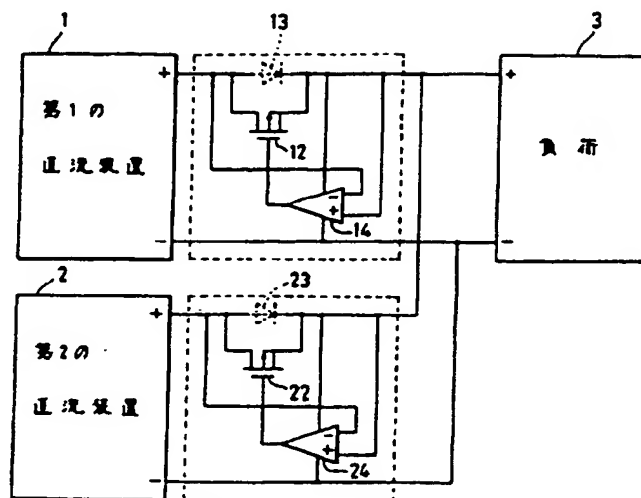
また、請求項2および4の発明によれば、上記利点に加えてスイッチングスピードを高速化することができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す回路図、第2図は本発明の第2の実施例を示す回路図、第3図は本発明の第3の実施例を示す回路図、第4図は本発明の第4の実施例を示す回路図、第5図は従来例を示す回路図である。

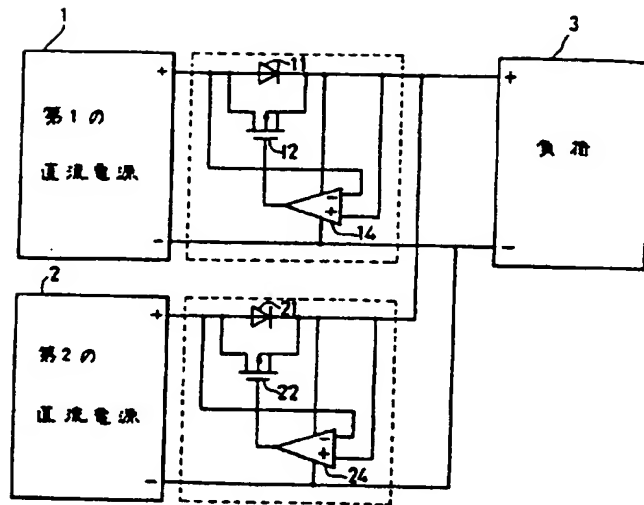
1…第1の直流電源、2…第2の直流電源、11、21…ダイオード、12、22…p型パワーMOSFET、15、25…n型パワーMOSFET、13、16、23、26…パワーMOSFETのボディダイオード、14、24…コンパレータ。

12,22……p型パワー-MOSFET
13,23……ボディダイオード
14,24……コンパレータ



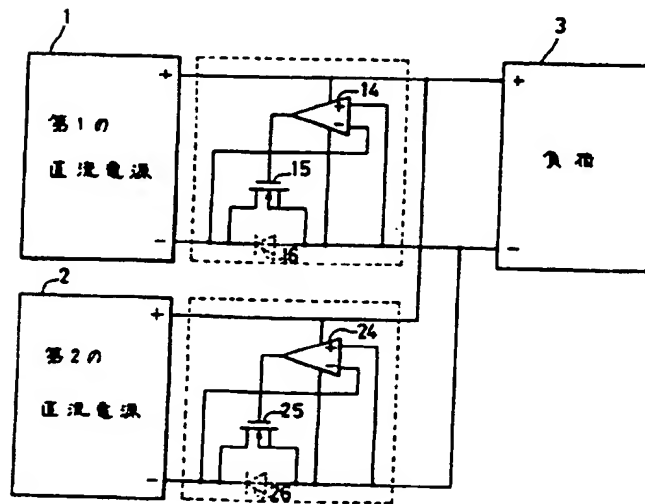
第1図

11,21---- ダイオード
12,22---- P型パワー-MOSFET
14,24---- コンパレータ

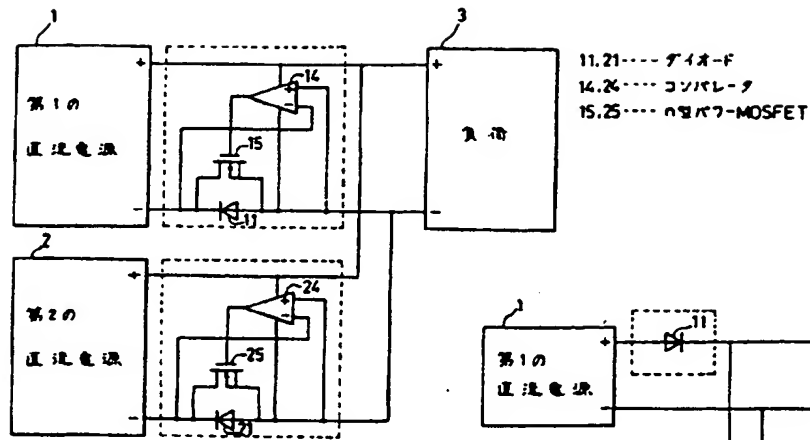


第2図

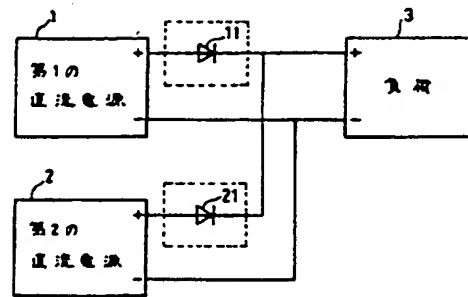
14,24---- コンパレータ
15,25---- n型パワー-MOSFET
16,26---- ホリディオード



第3図



第4図



第5図